

## 業績書（教育職員免許法施行規則第 22 条の 6 号関係）

氏 名	深瀬 政秋	学 位	工学博士
担当授業科目	工科系数学 I 及び演習		

## 1 経歴，学会及び社会における活動等

財団法人半導体研究振興会半導体研究所研究員	1978/04--1979/01
東北大学助手電気通信研究所	1979/02-1991/11
東北大学助教授電気通信研究所	1991/12-1995/03
弘前大学教授理学部	1995/04-1997/09
青森大学非常勤講師工学部	1996/04-2005/03
弘前大学教授理工学部配置換	1997/10-2003/08
文部省在外研究員	2000/08-2001/01
弘前大学総合情報処理センター長併任	2004/04-2010/03
弘前大学次世代型 IT 基盤技術開発教育研究センター長併任	2008/04-2011/03
弘前大学教授大学院理工学研究科配置換	2003/09-2016/03
日本大学工学部非常勤講師	2016/04 - 現在に至る

## 2 著 書

著 書 名	単著・共著の別	発 行 所 名	刊行年月日	備 考
デジタル技術とマイクロプロセッサ	共著	共立出版	2012/05	
A Double Cipher Scheme for Applications in Ad Hoc Networks and its VLSI Implementations	共著	InTech	2013/07	

## 3 学術論文等

学 術 論 文 等 の 名 称	単独・共同の別	発 表 雑 誌 等 名	発行年月日	備 考
Exploring the Optimum Buffer Size of an Emerging Stream Cipher Engine	共著	ECTI-EEC Trans.	2010/02	
A Ubiquitous Processor Built-in a Waved Multifunctional Unit	共著	ECTI-CIT Trans.	2010/05	
Double Cipher Implementation in a	共著	American Journal of Computer	2012/05	

Ubiquitous Processor Chip Delay Time Analysis of Reconfigurable Firewall Unit	共著	Architecture Journal of Systemics, Cybernetics and Informatics	2012	
Development of a Next Generation Ubiquitous Processor Chip	共著	ECTI-CIT Trans.	2012/11	
A Ubiquitous Processor Embedded With Progressive Cipher Pipelines	単著	International Jour. of Multimedia Technology	2013/03	
VLSI Implementation With Double Cipher and Media Processing for Ad-Hoc Network	単著	ECTI-CIT Trans.	2013/05	
Design of the Optimum Execution Stage of Embedded Processors	単著	ECTI-CIT Trans.	2014/11	
A Random Thought about Mitigating the Complexity of VLSI Verification	単著	Journal of VLSI Design and Verification, pp. 1-4	2016/11	

#### 4 学会発表等

発表課題の名称	単独・共同の別	発表学会等の名称	発表年月日	備考
Double Cipher Implementation in a Ubiquitous Processor Chip	共著	Proc. of ECTI-CON 2011	2011/05	
Evaluation for the Power Conscious Optimum Design of a Ubiquitous Processor	共著	Proc. of CCCT 2011	2011/07	
Development of a Next Generation Ubiquitous	共著	Proc. of ISPACS 2011	2011/12	

Processor Chip				
Throughput Evaluation of Improved WEP Processing on a Mobile Processor,	共著	Proc. of ISTS 2011	2012/02	
Efficient Delay Cells for Wave Pipelined Multifunctional Unit	共著	Proc. of SASIMI 2012	2012/03	
VLSI Implementation With Double Cipher and Media Processing for Ad-Hoc Network	共著	Proc. of ECTI-CON 2012	2012/05	
Packet Filtering Circuits for Smart Phones	共著	Proc. of WMSCI 2012	2012/07	
Optimum Design of the Execution Stage of Embedded Processors	共著	Proc. of ISCIT 2012	2012/11	
Reasonable Circuit Analysis Considering Comprehensively Reliability and Variability	共著	Proc. of ISCIT 2013	2013/09	
An Interactive Rewards Card System Embedded in Smart phones and a Cloud Server	共著	Proc. of GCCE 2013	2013/11	
Analysis of Corner Conditions in PVT Variations and Reliability degradations	共著	Proc. of SASIMI 2013	2013/11	
Effect of Substrate Contacts on Reducing Crosstalk Noise between TSVs	共著	Proc. of APCCAS	2014/11	

Modeling of Substrate Contacts in TSV-based 3D ICs	共著	Proc. of 3DIC	2014/12	
An Effective Model for Evaluating Vertical Propagation Delay in TSV-based 3-D ICs	共著	Proc. of ISQED 2015	2015/03	
Clock Skew Reduction for Stacked Chips Using Multiple Source Buffers	共著	Proc. of ISCIT 2015	2015/11	

以 上